|  |
| --- |
| національний технічний університет україни «Київський політехнічний інститут» |
| Факультет інформатики та обчислювальної техніки |
| Кафедра обчислювальної техніки |
| Реферат |
| з дисципліни «Комп’ютерна архітектура» |
|  |
|  |
| Виконав студент 3-го курсу |
| групи ІО-01 |
| Редько Олександр |
|  |

|  |
| --- |
| 2012 |

# Архітектура мікропроцесорних систем. Основні види архітектур

Під архітектурою процесора розуміють конфігурацію його основних програмних та апаратних компонентів з урахуванням їх можливостей та способів взаємодії.

Фактично це сукупність засобів, доступних користувачу (програмі), які забезпечують обробку цифрової інформації. Поняття архітектури включає набір програмно-доступних регістрів і операційних пристроїв, систему команд і способи адресації, об’єм і організацію пам’яті, засоби і способи обробки даних (обмін даними, переривання, прямий доступ до пам’яті та ін.).

Архітектура мікропроцесора тісно пов’язана з його структурою. Реалізація тих чи інших архітектурних особливостей потребує введення в структуру мікропроцесора відповідних пристроїв і забезпечення механізмів їх спільного функціонування.

Структура мікропроцесора визначає склад і зв’язок основних пристроїв і блоків, розміщених на його кристалі. У структуру мікропроцесорної системи входять:

* центральний процесор, що складається з пристрою управління та одного або декількох операційних пристроїв;
* внутрішня пам'ять (робочі регістри і регістри загального призначення, кеш-пам’ять);
* блоки оперативних та постійних запам’ятовуючих пристроїв;
* інтерфейси, що забезпечують обмін даними з пам’яттю та зовнішніми пристроями;
* периферійні пристрої (таймери, спеціалізовані контролери);
* допоміжні схеми (генератор тактових імпульсів).

**За особливістю системи команд** відрізняють наступні архітектури: CISC, RISC, VLIW.

***CISC‑архітектура*** – це архітектура системи команд, в якій більшість команд є комплексними, тобто реалізують певний набір простіших інструкцій процесора або шляхом зіставлення з кожною CISC-командою певної мікропрограми, або принаймні можуть бути зведені до набору таких простих інструкцій. Крім того, ознаками CISC-архітектури можна вважати також наявність великої кількості методів адресації пам'яті з можливістю безпосередньої роботи з операндами в основній пам'яті комп'ютера. Тобто, CISC-архітектури відносяться, як правило, до класу двохадресних.

Архітектури з комплексними наборами команд, розвиток яких припав на кінець 60-х — 70-ті роки пропонували програмісту досить різноманітний набір порівняно високорівневих інструкцій машинної мови, таких, наприклад, як «виклик підпрограми» або «відняти одиницю та перейти, якщо результат ненульовий», а також велику кількість способів звертання до операндів в пам'яті для полегшення роботи зі складними структурами даних. В ті часи, за відсутності повноцінних мов програмування високого рівня та відповідних компіляторів, така апаратна підтримка високорівневого інструментарію програмування могла підвищити продуктивність праці програміста. До того ж, програма, складена з таких команд займала небагато в пам'яті комп'ютера.

Типовими прикладами CISC-архітектур були системи VAX, PDP-11, IBM S/360,сімейства мікропроцесорів Motorola 68000 та Intel x86.

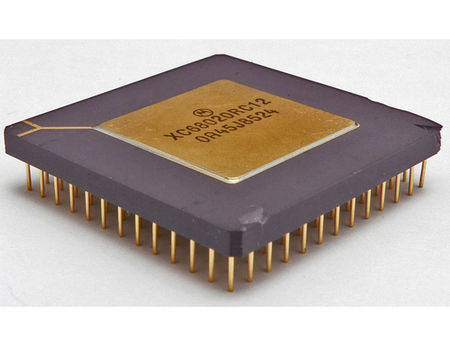


Рисунок 1 – Процесор Motorola 68000 з CISC-архітектурою

Але з появою високорівневих мов та оптимізуючих компіляторів, розвитком електроніки, який спричинив здешевлення комп'ютерної пам'яті виявилось, що використання високорівневих машинних команд суттєво обмежує можливості до оптимізації програми, підвищення її швидкодії.

Зокрема, складні команди потребували багато часу на процедуру декодування, потребували багато апаратурних ресурсів для реалізації, що негативно відображалось на загальній швидкодії та складності системи. Далі, наявність спеціальних команд, таких як «виклик підпрограми» не завжди виправдовувала себе, в багатьох випадках доцільніше було б замість такої загальної команди використати набір елементарніших інструкцій, які в результаті спричиняли б виконання меншої кількості обчислень процесором. Це стосувалось і обчислювальних команд, які підтримували роботу з операндами в повільній пам'яті, що далеко не завжди давало оптимальний результат. Набагато ефективніше було б відокремити процедури роботи з пам'яттю (завантаження та збереження операндів) від проведення обчислень, що дало б можливість оптимізувати процедури звертання до запам'ятовуючого пристрою. Зрозуміло, що ці оптимізації повинні були виконуватись вже компіляторами з мов високого рівня, які до того часу досягли досить високого рівня функціональності.

Сучасні CISC-архітектури, такі як останні втілення сімейства процесорів x86, хоч і відповідають CISC-концепції на рівні архітектури системи команд, але всередині процесора реалізують якраз пристосованішу до сьогоднішніх реалій RISC-модель, трансформуючи потік CISC-команд в процесі виконання в набори з простіших RISC-мікрооперацій, які й виконуються процесором.

***RISC-архітектура*** відповідає процесорам із скороченим набором команд. Поява RISC-архітектури обумовлена тим, що більшість CISC-команд і способів адресації використовуються досить рідко. Основна особливість RISC-архітектури проявляється у тому, що система команд складається з невеликої кількості часто використовуваних команд однакового формату, більшість яких можуть бути виконані за один командний цикл центрального процесора. Більш складні перетворення даних реалізуються на програмному рівні. Однак за рахунок значного підвищення швидкості виконання команд середня продуктивність RISC-процесорів може виявитися вище, ніж у процесорів з CISC-архітектурою.



Рисунок 2 – Apple iPod: пристрій, в якому використовується  
мікропроцесор з RISC‑архітектурою

Для скорочення кількості звернень до зовнішньої оперативної пам’яті RISC-процесори мають велику надоперативну внутрішню пам'ять. Звернення до зовнішньої пам’яті в RISC-процесорах використовується тільки в операціях завантаження даних до внутрішніх регістрів загального призначення або пересилання результатів у пам’ять.

Завдяки вказаним достоїнствам у CISC-процесорах може використовуватись RISC-ядро. При цьому складні CISC-команди попередньо перетворюються у послідовність простих RISC-операцій і швидко виконуються RISC-ядром.

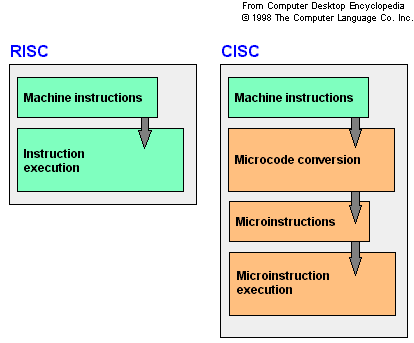


Рисунок 3 – Виконання команд в RISC і CISC архітектурах

***Архітектура VLIW*** базується на багатьох незалежних функціональних пристроях. Замість того, щоб намагатися паралельно видавати у ці пристрой незалежні команди, у таких машинах декілька операцій компонуються в одну дуже довгу команду. При цьому відповідальність на вірно вибрані паралельні команди повністю перекладається на компілятор, а апаратні засоби необхідні для суперскалярної обробки відсутні.

VLIW-команда може включати, наприклад, 2 цілочисельні операції, 2 операції з ПК, 2 операції звернення до пам‘яті та операцію переходу. Така команда може мати довжину від 112 до 168 біт.

Для машин з VLIW – архітектурою був розроблений новий метод планування видачі команд, так зване «трасировочне планування». При використанні цього метода з послідовності вихідної програми генеруються довгі команди шляхом перегляду програми за межами базових блоків.

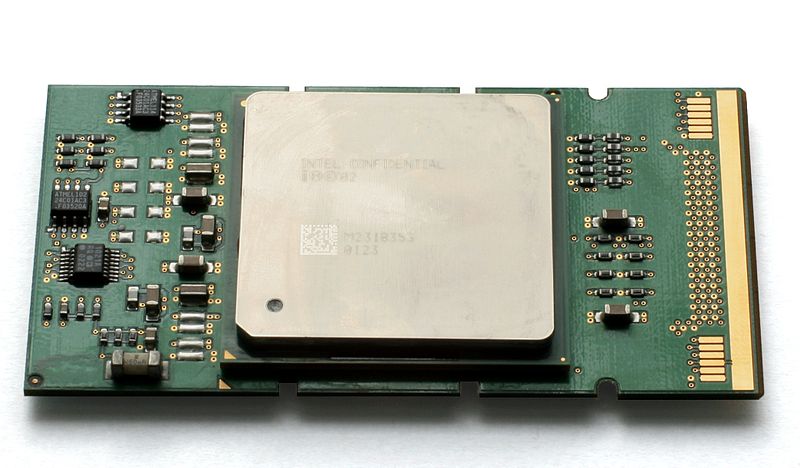


Рисунок 4 – Процесор Itanium 2 в корпусі PAC – один із  
представників VLIW‑архітектур

З точки зору архітектурних ідей, машину з дуже довгим командним словом можна розглядати як розширення RISK- архітектури. Апаратні ресурси надані компілятору, та ресурси плануються статичною. В машинах з дуже довгим командним словом до цих ресурсів належать конвеєрні функціональні пристрої, шини та банки пам‘яті. Для підтримки високої пропускної здатності між функціональними пристроями та регістрами необхідно використовувати декілька наборів регістрів. Апаратне усунення конфліктів виключається і перевага надається простій логіці керування. На відміну від традиційних машин, регістри і шини не резервуються, а їх використання повністю визначається під час компіляції.

В машинах типу VLIW, крім того, цей принцип заміни керування під час виконання програми плануванням під час компіляції розповсюджений на планування використання пам‘яті. Для підтримки зайнятості конвеєрних функціональних пристроїв повинна бути забезпечена висока пропускна здатність пам‘яті. Одним із сучасних підходів до збільшення пропускної здатності пам‘яті є розшарування пам‘яті. Але у системі із розшарованою пам’яттю виникає конфлікт пам‘яті, якщо іде звернення до вже зайнятого шару пам‘яті. У звичайних машинах стан шарів пам‘яті керується апаратним чином. У машинах VLIW ця функція передана апаратним засобам. Можливі конфлікти банків перевіряє спеціальний модуль компілятора – модуль усунення конфліктів.

**За способом організації пам’яті та вибірки команд і даних** розрізняють два основні класи архітектури. Розглянемо це на прикладі спрощених базових структур.

*Архітектура фон-Неймана* або *принстонська архітектура* (рис. Рисунок 5) визначається використанням загальної основної (оперативної) пам’яті для зберігання програм і даних, що дозволяє оперативно і ефективно перерозподіляти її об’єм в залежності від вирішуваних задач в кожному конкретному випадку.

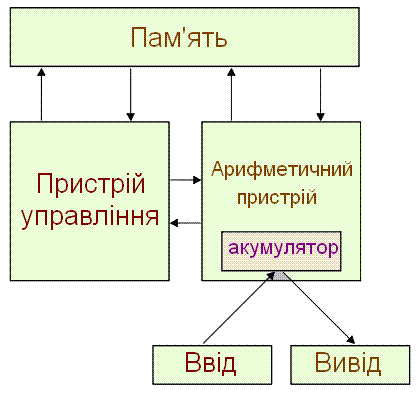


Рисунок 5 – Схематичне вираження схеми фон‑Неймана

*Гарвардська архітектура* відрізняється фізичним розподілом пам’яті на окрему пам'ять команд і окрему оперативну пам'ять. Завдяки розподілу потоків команд і даних, а також об’єднанню операцій звернення до різних модулів пам’яті забезпечується більш висока продуктивність, ніж при використанні загальної пам’яті для команд і даних.

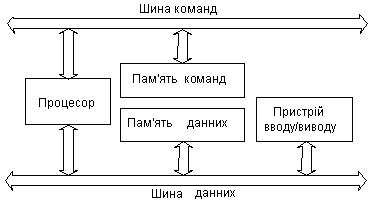


Рисунок 6 – Схематичне зображення гарвардської архітектури

Гарвардська архітектура отримала широке застосування в мікроконтролерах, для яких можливо заздалегідь записати в постійну пам'ять всі необхідні програми управління. Зауважимо, що розподіл пам’яті застосовується також у внутрішній структурі сучасних високопродуктивних універсальних мікропроцесорів, в яких використовується кеш-пам'ять окремо команд і даних.

# Класифікація одно кристальних ЕОМ

В даний час випускається цілий ряд типів МК. Всі ці прилади можна умовно розділити на три основні класи:

1. 8‑розрядні МК для вбудованих додатків;
2. 16‑ і 32‑розрядні МК;
3. Цифрові сигнальні процесори (DSP).

Найбільш поширеним представником сімейства МК є 8-розрядні прилади, широко використовуються в промисловості, побутовій та комп'ютерній техніці. Вони пройшли в своєму розвитку шлях від найпростіших приладів з відносно слаборозвиненою периферією до сучасних багатофункціональних контролерів, які забезпечують реалізацію складних алгоритмів керування в реальному масштабі часу. Причиною життєздатності 8-розрядних МК є використання їх для управління реальними об'єктами, де застосовуються, в основному, алгоритми з переважанням логічних операцій, швидкість обробки яких практично не залежить від розрядності процесора.

Зростанню популярності 8-розрядних МК сприяє постійне розширення номенклатури виробів, що випускаються такими відомими фірмами, як Motorola, Microchip, Intel, Zilog, Atmel і багатьма іншими. Сучасні 8-розрядні МК володіють, як правило, рядом відмінних ознак. Перелічимо основні з них:

* модульна організація, при якій на базі одного процесорного ядра (центрального процесора) проектується ряд (лінійка) МК, що розрізняються обсягом і типом пам'яті програм, обсягом пам'яті даних, набором периферійних модулів, частотою синхронізації;
* використання закритої архітектури МК, яка характеризується відсутністю ліній магістралей адреси і даних на висновках корпусу МК. Таким чином, МК являє собою закінчену систему обробки даних, нарощування можливостей якої з використанням паралельних магістралей адреси і даних не передбачається;
* використання типових функціональних периферійних модулів (таймери, процесори подій, контролери послідовних інтерфейсів, аналого-цифрові перетворювачі тощо), що мають незначні відмінності в алгоритмах роботи в МК різних виробників;
* розширення числа режимів роботи периферійних модулів, які задаються в процесі ініціалізації регістрів спеціальних функцій МК.

При модульному принципі побудови всі МК одного сімейства містять процесорне ядро, однакове для всіх МК даного сімейства, і змінюваний функціональний блок, який відрізняє МК різних моделей. Процесорне ядро включає в себе:

* центральний процесор;
* внутрішню контролерну магістраль (ВКМ) у складі шин адреси, даних і управління;
* схему синхронізації МК;
* схему управління режимами роботи МК, включаючи підтримку режимів зниженого енергоспоживання, початкового запуску (скиду) і т.д.

Змінний функціональний блок включає в себе модулі пам'яті різного типу й обсягу, порти введення / виводу, модулі тактових генераторів (Г), таймери. У відносно простих МК модуль обробки переривань входить до складу процесорного ядра. У більш складних МК він являє собою окремий модуль з розвиненими можливостями. До складу змінюваного функціонального блоку можуть входити і такі додаткові модулі як компаратори напруги, аналого-цифрові перетворювачі (АЦП) та інші. Кожен модуль проектується для роботи в складі МК з урахуванням протоколу ВКМ. Даний підхід дозволяє створювати різноманітні за структурою МК в межах одного сімейства.

# Огляд 8‑ і 16‑розрядних мікропроцесорів по фірмам

## Мікроконтролери фірми Intel

Біля витоків виробництва мікроконтролерів стоїть фірма Intel з родинами восьмирозрядних мікроконтролерів 8048 і 8051. Архітектура MCS-51 отримала свою назву від першого представника цього сімейства - мікроконтролера 8051, випущеного в 1980 році на базі технології HMOS. Вдалий набір периферійних пристроїв, можливість гнучкого вибору зовнішньої або внутрішньої програмної пам'яті і прийнятна ціна забезпечили цьому мікроконтролеру успіх на ринку. З точки зору технології мікроконтролер 8051 був для свого часу дуже складним виробом - у кристалі було використано 128 тис. транзисторів, що в 4 рази перевищувало кількість транзисторів в 16-розрядному мікропроцесорі 8086.



Рисунок 7 – Мікроконтролер MCS-51

Основними елементами базової архітектури є:

* 8-розрядний АЛП на основі акумуляторної архітектури;
* 4 банки регістрів, по 8 у кожному;
* вбудована пам'ять програм 4Кбайт;
* внутрішній ОЗП 128 байт;
* булевий процесор;
* шістнадцятирозрядні таймери;
* контролер послідовного каналу (UART);
* контролер обробки переривань з двома рівнями пріоритетів;
* чотири 8-розрядних порта введення / виводу, два з яких використовуються в якості шини адреси / даних для доступу до зовнішньої пам'яті програм і даних;
* вбудований тактовий генератор.

Наступним принциповим кроком у розвитку MCS-51 став переклад технології виготовлення на CHMOS. Це дозволило реалізувати режими Idle і Power Down, що дозволили різко знизити енергоспоживання кристала і відкрили дорогу до застосування мікроконтролера в енергозалежних додатках, наприклад, в автономних приладах з батарейним харчуванням.

І останнім принциповим етапом розвитку цього напряму фірмою Intel в рамках 8-бітної архітектури став випуск мікроконтролерів 8xC51FA/FB/FC, які для стислості часто позначаються як 8xC51FX. Головною відмітною особливістю цієї групи кристалів є наявність у них масиву програмованих лічильників (PCA). Структурна схема PCA представлена на рис. Рисунок 8.

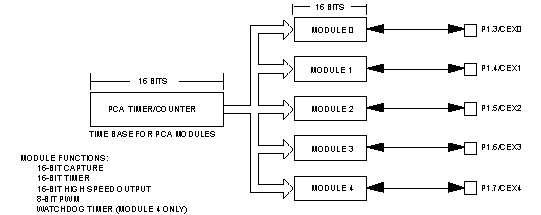


Рисунок 8 – Структурна схема PCA

До складу PCA входять:

* 16-розрядний таймер-лічильник;
* 5 шістнадцятирозрядних модулів вибірки і порівняння, кожен з яких пов'язаний зі своєю лінією порту вводу-виводу мікроконтролера.

Таймер-лічильник обслуговує всі п'ять модулів вибірки і порівняння, які можуть бути запрограмовані на виконання однієї з наступних функцій:

* 16-бітова вибірка значення таймера по позитивному фронту зовнішнього сигналу;
* 16-бітова вибірка значення таймера по негативному фронту зовнішнього сигналу;
* 16-бітова вибірка значення таймера по будь-якому фронту зовнішнього сигналу;
* 16-бітний програмний таймер;
* 16-бітове пристрій швидкісного виводу (HSO);
* 8-бітний ШІМ.

Виконання всіх перерахованих функцій відбувається в PCA на апаратному рівні і не завантажує центральний процесор, що дозволяє підвищити загальну пропускну здатність системи, підвищити точність вимірювань та відпрацювання сигналів і знизити час реакції мікроконтролера на зовнішні події, що особливо важливо для систем реального часу.

## Мікроконтролери фірми Motorola

Motorola пропонує найширшу в світі номенклатуру МК, що охоплює практично всі сфери застосування і включає в себе близько 300 моделей: від найпростіших дешевих МК до високопродуктивних 32-розрядних МК з RISC-ядром і потужною периферією.

### 8-розрядні мікроконтролери

#### Сімейство НС05

Сімейство НС05 містить найбільшу кількість модифікацій МК (близько 180), оскільки це сімейство в чималому ступені формувалося великими споживачами фірми Motorola, замовляючими розробку МК потрібної конфігурації під свою конкретну продукцію, тому сімейство НС05 іноді називають сімейством "замовних" МК (CSIC-Customer Specified Integrated Circuit - створення мікроконтролерів з характеристиками, обумовленими користувачами).

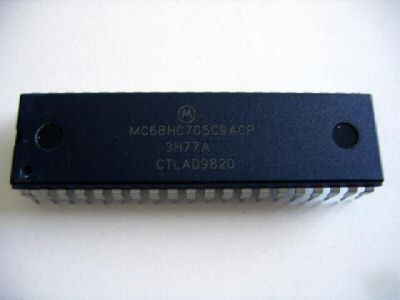


Рисунок 9 – Мікроконтролер Motorola сімейства HC05

До складу МК сімейства НС05 входять: ЦПУ, яке має стандартну внутрішню тактову частоту 2 МГц, для деяких МК існують версії з тактовою частотою 4 МГц (цикл команди 250 нс), ПЗУ всіх типів, ОЗУ об'ємом до 768 байт, таймери, АЦП, ШІМ , контролери РКІ та інших дисплеїв, послідовні інтерфейси і багато інших пристроїв. Всі представники сімейства НС05 мають версії зі зниженим харчуванням і розширеним температурним діапазоном, і випускаються в найрізноманітніших корпусах.

Позначення МК містить символ, наступний в назві МК безпосередньо за МС68НС05 ... і відносить його до однієї з підгруп в межах сімейства, або до серії, які відрізняються одна від одної функціональними особливостями. З іншого боку, більшість МК сімейства НС05 створювалися під певні програми, тому класифікацію зручно провести з урахуванням цих двох чинників одночасно.

##### МК загального призначення

Серія С характерна широким розмаїттям вбудованої пам'яті і ліній паралельного введення / виводу. Асинхронний послідовний інтерфейс (SCI) дозволяє організувати обмін даними з зовнішніми пристроями зі швидкістю до 131 кГц.Високошвидкісний синхронний послідовний інтерфейс (SPI) зручний для управління дисплеями і зовнішніми периферійними пристроями по 4-провідної лінії.

Серія J включає в себе недорогі 20-вивідні МК, що містять ПЗУ, багатофункціональний таймер і функцію переривання реального часу. Найбільш яскравою моделлю цієї серії є МК МС68НС705J1A, наявність в якому програмованої пам'яті з захистом від читання, виходів з високою навантажувальною здатністю, переривань від клавіатури, а також наявність швидкісної версії і вкрай недорогого комплекту налагоджувальних засобів роблять цей новий МК все більш популярним.

Серія К містить найдешевші з випускаємих фірмою Motorola 16-вивідні МК, що включають в себе пам'ять, таймер, переривання реального часу, лінії з підвищеною навантажувальною здатністю і програмовану користувачем "ідентифікаційну" область пам'яті (8 байт) навіть у масочному варіанті. МК MC68HC805K3 з вбудованим EEPROM (Flash) призначений для макетування і невеликих виробничих серій.

##### МК для телекомунікацій

Серія F була спеціально створена для побудови абонентських телефонних апаратів різних груп складності і терміналів. Головною особливістю МК цієї серії є наявність в них генератора DTMF для тонального набору номера і цифрової сигналізації. Ряд МК цієї серії додатково містить контролер РКІ-дисплея, а також великий обсяг ПЗУ для реалізації складних алгоритмів сучасних ТА і незалежну пам'ять для зберігання номерів

Серія L, головними рисами якої є наявність вбудованих контролерів алфавітно-цифрових та графічних ЖКИ-дисплеїв (від 32 до 40000 сегментів), наявність тонального генератора, годиннику реального часу і низьке споживання, також широко використовуються при створенні різноманітного, особливо портативного, зв'язкового обладнання: бездротових телефонів, пристроїв персонального виклику (пейджерів), радіостанцій, цифрових блокнотів і т.д.

Серія Е включає МК, що містять синтезатор тактовою частоти з ФАПЧ для гнучкого управління споживанням, незалежну пам'ять, АЦП і інтерфейс I2C, і використовується в засобах зв'язку як МК загального призначення.

##### МК для побутової електроніки

Серія L, що включає широкий вибір МК з контролерами ЖКИ, часто використовується в різноманітних побутових пристроях, що вимагають виведення на РК-дисплей.

Серія M містить вбудований контролер вакуум-флюоресцентного індикатора. Вбудований формувач забезпечує можливість управління по 24 лініях при напрузі 40 вольт. До складу мікросхем серії також входять 8-бітний таймер, 6-канальний 8-бітний АЦП, асинхронний послідовний порт і великий об'єм вбудованого ПЗУ.

Серії Т спеціально призначена для застосування у відео та телевізійної апаратури, і містить драйвер кольорового екранного дисплея, що дозволяє відображати на екрані ЕПТ символи і текстову інформацію. Вбудований АЦП може використовуватися для управління настроюванням на певний канал телебачення, канали ШІМ використовуються для управління гучністю звуку, яскравістю зображення і т.д.

### 16-розрядні мікроконтролери

#### Сімейство НС08

Сімейство НС08 є наступним кроком у розвитку програми замовних МК фірми Motorola для масових застосувань і характеризується підвищеною в 5-10 разів продуктивністю процесорного ядра, сумісного за системою команд з ЦПУ НС05.Сімейство НС08 підтримує додаткові ефективні команди і методи адресації, а також такі нові функції, як прямий доступ до пам'яті, технологія "нечіткої логіки" і елементи цифрової обробки сигналів. При цьому повністю статичне процесорне ядро оптимізовано для роботи із зниженою напругою живлення і дозволяє гнучко управляти споживанням за допомогою вбудованого синтезатора тактовою частоти.

#### Сімейство НС11

На відміну від відносно спеціалізованих МК "замовних" сімейств, сімейство МС68НС11 містить набір з близько 40 більш універсальних і високопродуктивних мікроконтролерів, орієнтованих як на масові ринки, так і на середнє і дрібне виробництво. Процесорний ядро МК цього сімейства відрізняється підвищеною продуктивністю, що відрізняється від НС05 більш ефективної архітектурою, системою команд, наявністю додаткових методів адресації і можливістю адресувати більший обсяг зовнішньої пам'яті. МК сімейства НС11 містять вбудовану пам'ять різних типів і конфігурацій.